

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-156429

(43)Date of publication of application : 06.06.2000

(51)Int.Cl.

H01L 23/12

H01L 23/28

(21)Application number : 10-271408

(71)Applicant : TAIYO YUDEN CO LTD

(22)Date of filing : 25.09.1998

(72)Inventor : NAKAJIMA KATSUAKI
ISHII SHIGETOSHI

(30)Priority

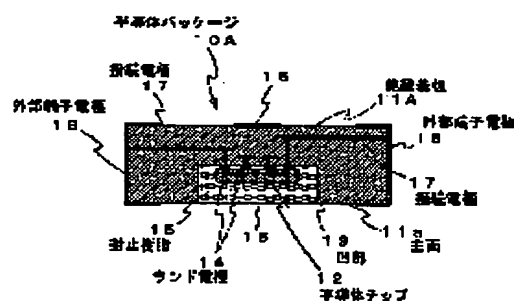
Priority number : 10191167 Priority date : 07.07.1998 Priority country : JP

(54) SEMICONDUCTOR PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor package capable of contriving a reduction in its packaging area and also enable automatically mounting of the package to a printed wiring board.

SOLUTION: A semiconductor package 10A is formed into a structure, wherein a recess 13 is formed in the main surface 11a of an insulating board 11A and land electrodes 14 are formed on the bottom of the recess 13. External terminal electrodes 16 are respectively formed on the side surfaces 4 of the board 11a and the electrodes 14, and the electrodes 16 are respectively connected with each other through each connection electrode 17. Moreover, a semiconductor chip 12 is mounted in the recess 13, terminal electrodes on the chip 12 are connected with the electrodes 14, and a sealing resin 15 is filled in the recess 13 to seal the chip 12, the electrodes 14 and the terminal electrodes on the chip 12 in the recess 13. When the package 10A is mounted on a parent circuit board, the main surface 11a is made contact with the surface of the parent circuit board and the electrodes 16 of the package 10A are directly connected with the electrodes 21 by soldering or the like.



LEGAL STATUS

[Date of request for examination] 30.01.2001

[Date of sending the examiner's decision of rejection] 22.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156429

(P2000-156429A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 1 L 23/12
23/28

H 0 1 L 23/12
23/28
23/12

L 4M109
K
Q

審査請求 未請求 請求項の数11 O L (全 15 頁)

(21) 出願番号 特願平10-271408

(22) 出願日 平成10年9月25日 (1998.9.25)

(31) 優先権主張番号 特願平10-191167

(32) 優先日 平成10年7月7日 (1998.7.7)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72) 発明者 中島 克明

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(72) 発明者 石井 重敏

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(74) 代理人 100069981

弁理士 吉田 精孝 (外1名)

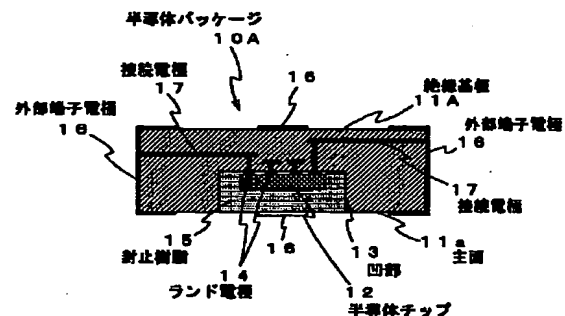
Fターム(参考) 4M109 AA01 BA03 CA02 DB10 EA10
EC01 EC09 GA02

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】 実装面積の縮小化を図れる半導体パッケージを提供する、並びにプリント配線板への自動実装を可能にする半導体パッケージを提供する。

【解決手段】 絶縁基板11Aの主面11aに凹部13を形成し、凹部13の底面にランド電極14を形成する。また、絶縁基板11Aの側面に外部端子電極16を形成し、ランド電極14と外部端子電極16とを接続電極17によって接続する。さらに、凹部13内に半導体チップ12を実装し、半導体チップ12の端子電極をランド電極14に接続して、凹部13内に封止樹脂15を充填して封止し、半導体パッケージ10Aとなす。親回路基板への搭載時には、主面11aを親回路基板の表面に当接し、ランド電極21に半導体パッケージ10Aの外部端子電極16を半田付けなどにより直接接続する。



【特許請求の範囲】

【請求項1】 一の面に形成された凹部と、該凹部の底面に形成された複数のランド電極と、前記凹部内面以外の所定の外面に形成された複数の外部端子電極と、前記ランド電極と前記外部端子電極とを接続する複数の接続電極とを有する絶縁基板と、
前記凹部内に実装され端子電極が前記ランド電極に接続された半導体チップとからなることを特徴とする半導体パッケージ。

【請求項2】 前記絶縁基板は直方体形状をなし、前記半導体チップの各端子に接続された外部端子電極は、前記絶縁基板の1対の対向面に垂直に交わる中心軸に対してほぼ回転対称であり、且つ前記1対の対向面間の中央に位置し前記対向面に平行な対称面に対して対称となる位置に形成されていることを特徴とする請求項1記載の半導体パッケージ。

【請求項3】 前記絶縁基板は直方体形状をなし、前記半導体チップの各端子に接続された外部端子電極は、少なくとも前記絶縁基板の1対の対向面に垂直に交わる中心軸に対して平行な4つの面のそれぞれに形成されると共に、
前記外部端子電極の形成位置は、前記絶縁基板の1対の対向面に垂直に交わる中心軸に対してほぼ回転対称であり、且つ前記1対の対向面間の中央に位置し前記対向面に平行な対称面に対して対称となる位置に設定されていることを特徴とする請求項1記載の半導体パッケージ。

【請求項4】 前記半導体チップは複数の半導体素子を含み、前記半導体素子の種類及び半導体素子の端子が前記対称面に対して対称となるように、前記半導体チップの各端子に接続された外部端子電極が形成されていることを特徴とする請求項2または3記載の半導体パッケージ。

【請求項5】 前記凹部内には単独の半導体素子からなる半導体チップが複数実装されていると共に、
前記半導体素子の種類及び半導体素子の端子が前記対称面に対して対称となるように、前記半導体チップの各端子に接続された外部端子電極が形成されていることを特徴とする請求項2または3記載の半導体パッケージ。

【請求項6】 前記絶縁基板は、前記中心軸方向に延びる辺の長さが他の2つの方向に延びる辺の長さよりも大きく設定されていることを特徴とする請求項2乃至5の何れかに記載の半導体パッケージ。

【請求項7】 前記絶縁基板は、前記1対の対向面のそれぞれが正方形を成すと共に、前記中心軸方向に延びる辺の長さが前記正方形の辺の長さよりも大きく設定されていることを特徴とする請求項2乃至5の何れかに記載の半導体パッケージ。

【請求項8】 前記絶縁基板は多層構造をなし、前記接続電極は前記絶縁基板の内層に形成されていることを特徴とする請求項1乃至5の何れかに記載の半導体パッ

ケージ。

【請求項9】 前記絶縁基板は、前記凹部が形成された一の面に対向する平面を有すると共に、該平面には電気的抵抗体が形成され、該抵抗体は前記半導体チップの端子電極或いは前記外部端子電極に接続されていることを特徴とする請求項1乃至5の何れかに記載の半導体パッケージ。

【請求項10】 前記半導体チップが実装された凹部内に絶縁体が充填されていることを特徴とする請求項1乃至5の何れかに記載の半導体パッケージ。

【請求項11】 前記絶縁基板はセラミックスからなることを特徴とする請求項1乃至5の何れかに記載の半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体パッケージに関し、特に実装性の改善を図った構造を有する半導体パッケージに関するものである。

【0002】

【従来の技術】従来の半導体パッケージは、例えば特開平6-112363号公報に開示されるように、半導体チップを実装したプリント配線板を樹脂でモールドし、プリント配線板に接続したリードピンを外部に引き出した構造をなしていた。

【0003】即ち、図2に示すように、従来の半導体パッケージ1は、プリント配線板2の表面に半導体チップ3を実装すると共に、プリント配線板2に外部端子用のリードピン4を複数接続し、プリント配線板2と半導体チップ3を樹脂5によって封止することにより構成されている。

【0004】プリント配線板2の表面には、銅を用いて形成された配線回路6が形成されると共に、図示していないがソルダレジスト及び配線回路6の表面に施した金メッキ等が設けられ、配線回路6によって半導体チップ3とリードピン4が接続されている。

【0005】これにより、上記半導体パッケージ1を回路基板に実装する際には、回路基板に形成されているプリント配線のランドにリードピン4を半田付け等によって接続する。

【0006】

【発明が解決しようとする課題】しかしながら、前述した従来の半導体パッケージ1では、樹脂封止されたプリント配線板2からリードピン4を引き出して外部端子としていたので、1個当たりの実装面積の縮小化に限界が生じていた。このため、電子機器の小型化に大きな妨げとなっている。

【0007】さらに、リードピン4の製造及びプリント配線板2への装着等に多くのコストがかかっていた。

【0008】このようなことから、電子機器製造業界においては、リードピンを必要とせず、電子部品自動装填

機（例えば、本出願人が提案している電子部品実装機、部品供給装置等）を用いて、プリント配線板への自動実装が可能な半導体パッケージが必要とされている。

【0009】本発明の目的は上記の問題点に鑑み、実装面積の縮小化を図れる半導体パッケージを提供すること、並びにプリント配線板への自動実装を可能にする半導体パッケージを提供することにある。

【0010】

【課題を解決するための手段】本発明は上記の目的を達成するために請求項1では、一の面に形成された凹部と、該凹部の底面に形成された複数のランド電極と、前記凹部内面以外の所定の外面に形成された複数の外部端子電極と、前記ランド電極と前記外部端子電極とを接続する複数の接続電極とを有する絶縁基板と、前記凹部内に実装され端子電極が前記ランド電極に接続された半導体チップとからなる半導体パッケージを提案する。

【0011】該半導体パッケージによれば、半導体チップは絶縁基板の凹部内に実装され、該半導体チップの端子電極は前記凹部底面のランド電極に接続されている。さらに、前記凹部内面以外の所定の外面に形成された複数の外部端子電極と前記ランド電極とが接続電極によって接続されている。これにより、該半導体パッケージを親回路基板に実装する際には、該親回路基板の表面に形成されているランド電極に前記半導体パッケージの外部端子電極が対応するように、前記親回路基板表面に対して前記半導体パッケージの所定面を当接し、親回路基板のランド電極に半導体パッケージの外部端子電極が半田付けなどによって接続される。

【0012】また、請求項2では、請求項1記載の半導体パッケージにおいて、前記絶縁基板は直方体形状をなし、前記半導体チップの各端子に接続された外部端子電極は、前記絶縁基板の1対の対向面に垂直に交わる中心軸に対してほぼ回転対称であり、且つ前記1対の対向面間の中央に位置し前記対向面に平行な対称面に対して対称となる位置に形成されている半導体パッケージを提案する。

【0013】該半導体パッケージによれば、前記絶縁基板は相隣る面がすべて直角に交わるような六面体であり、前記外部端子電極が回転対称及び面対称となる位置に形成されているため、前記親回路基板の平面内で半導体パッケージを180度回転させて前記絶縁基板の1対の対向面の位置を入れ換えて実装しても、或いは上下面を反転させて実装しても、前記親回路基板の任意のランド電極には、常に前記半導体チップの同一端子に接続された外部端子電極が接続可能になる。

【0014】また、請求項3では、請求項1記載の半導体パッケージにおいて、前記絶縁基板は直方体形状をなし、前記半導体チップの各端子に接続された外部端子電極は、少なくとも前記絶縁基板の1対の対向面に垂直に交わる中心軸に対して平行な4つの面のそれぞれに形成

されると共に、前記外部端子電極の形成位置は、前記絶縁基板の1対の対向面に垂直に交わる中心軸に対してほぼ回転対称であり、且つ前記1対の対向面間の中央に位置し前記対向面に平行な対称面に対して対称となる位置に設定されている半導体パッケージを提案する。

【0015】該半導体パッケージによれば、前記絶縁基板は相隣る面がすべて直角に交わるような六面体であり、前記外部端子電極が前記中心軸に平行な4つの面の回転対称及び面対称となる位置に形成されているため、前記親回路基板の平面内で半導体パッケージを180度回転させて前記絶縁基板の1対の対向面の位置を入れ換えて実装しても、或いは前記絶縁基板の前記中心軸に平行な4つの面の何れを前記親回路基板面に当接させて実装しても、前記親回路基板の任意のランド電極には、常に前記半導体チップの同一端子に接続された外部端子電極が接続可能になる。

【0016】また、請求項4では、請求項2または3記載の半導体パッケージにおいて、前記半導体チップは複数の半導体素子を含み、前記半導体素子の種類及び半導体素子の端子が前記対称面に対して対称となるように、前記半導体チップの各端子に接続された外部端子電極が形成されている半導体パッケージを提案する。

【0017】該半導体パッケージによれば、前記親回路基板の平面内で半導体パッケージを180度回転させて前記絶縁基板の1対の対向面の位置を入れ換えて実装しても、或いは上下面を反転させて実装しても、前記親回路基板の任意のランド電極には、常に同種の半導体チップの同一端子に接続された外部端子電極が接続可能になる。

【0018】また、請求項5では、請求項2または3記載の半導体パッケージにおいて、前記凹部内には単独の半導体素子からなる半導体チップが複数実装されていると共に、前記半導体素子の種類及び半導体素子の端子が前記対称面に対して対称となるように、前記半導体チップの各端子に接続された外部端子電極が形成されている半導体パッケージを提案する。

【0019】該半導体パッケージによれば、前記親回路基板の平面内で半導体パッケージを180度回転させて前記絶縁基板の1対の対向面の位置を入れ換えて実装しても、或いは上下面を反転させて実装しても、前記親回路基板の任意のランド電極には、常に同種の半導体チップの同一端子に接続された外部端子電極が接続可能になる。

【0020】また、請求項6では、請求項2乃至5の何れかに記載の半導体パッケージにおいて、前記絶縁基板は、前記中心軸方向に延びる辺の長さが他の2つの方向に延びる辺の長さよりも大きく設定されている半導体パッケージを提案する。

【0021】該半導体パッケージによれば、前記絶縁基板の前記中心軸方向に延びる辺の長さが他の2つの方向

に延びる辺の長さよりも大きく設定されているので、前記1対の対向面を容易に特定することができる。

【0022】また、請求項7では、請求項2乃至5の何れかに記載の半導体パッケージにおいて、前記絶縁基板は、前記1対の対向面のそれぞれが正方形を成すと共に、前記中心軸方向に延びる辺の長さが前記正方形の辺の長さよりも大きく設定されている半導体パッケージを提案する。

【0023】該半導体パッケージによれば、前記絶縁基板の前記中心軸方向に延びる辺の長さが他の2つの方向に延びる辺の長さよりも大きく設定されているので、前記1対の対向面を容易に特定できると共に、前記1対の対向面のそれぞれが正方形を成しているのので、前記中心軸に平行な何れの面を前記親回路基板に当接させても親回路基板への実装形状は常に同じになる。

【0024】また、請求項8では、請求項1乃至5の何れかに記載の半導体パッケージにおいて、前記絶縁基板は多層構造をなし、前記接続電極は前記絶縁基板の内層に形成されている半導体パッケージを提案する。

【0025】該半導体パッケージによれば、前記絶縁基板が多層構造をなし、その内層に前記接続電極が形成されている。

【0026】また、請求項9では、請求項1乃至5の何れかに記載の半導体パッケージにおいて、前記絶縁基板は、前記凹部が形成された一の面に対向する平面を有すると共に、該平面には電気的抵抗体が形成され、該抵抗体は前記半導体チップの端子電極或いは前記外部端子電極に接続されている半導体パッケージを提案する。

【0027】該半導体パッケージによれば、前記凹部が形成された一の面に対向する平面に電気的抵抗体が形成されている。該抵抗体は前記半導体チップの端子電極或いは前記外部端子電極に接続されている。

【0028】また、請求項10では、請求項1乃至5の何れかに記載の半導体パッケージにおいて、前記半導体チップが実装された凹部内に絶縁体が充填されている半導体パッケージを提案する。

【0029】該半導体パッケージによれば、前記半導体チップが実装された凹部内に絶縁体が充填されているため、外部から前記凹部内への湿気等の進入が阻止される。

【0030】また、請求項11では、請求項1乃至5の何れかに記載の半導体パッケージにおいて、前記絶縁基板はセラミックスからなる半導体パッケージを提案する。

【0031】該半導体パッケージによれば、前記絶縁基板はセラミックスによって構成されるため、製造時の加工が容易となる。

【0032】

【発明の実施の形態】以下、図面に基いて本発明の一実施形態を説明する。

(第1の実施形態) 図1は、本発明の第1の実施形態における半導体パッケージを示す外観斜視図で、図1の(a)は斜め上方から見た斜視図であり、図1の(b)は斜め下方から見た斜視図である。また、図3はその側面断面図である。ここで、第1の実施形態は、本願発明の請求項1、2、3、6、8、10、11に対応している。

【0033】図1及び図3において、10Aは半導体パッケージで、多層構造の絶縁基板11Aに半導体チップ12が搭載されて構成されている。

【0034】絶縁基板11Aは、長手方向両端面が長方形をなす直方体形状のアルミナを主体とした多層構造のセラミック絶縁基板からなり、親回路基板への実装時に親回路基板に対向する主面11aには、半導体チップ12を搭載するための凹部13が形成されている。

【0035】凹部13は、その中に実装される半導体チップ12の形状に合わせて、その縦横厚み寸法よりやや大きく形成される。さらに、この凹部13の底面には、前記半導体チップ12の端子電極を接続するランド電極14が形成されており、半導体チップ12の端子電極は凹部13の底面に形成されたランド電極14に接続され、隣り合うランド電極14間及び凹部13内部全体には絶縁性の封止樹脂15が充填されている。この状態で、半導体チップ12の裏面は、絶縁基板11Aの主面11aよりも凹部13の内部に位置した状態となる。

【0036】さらに、絶縁基板11Aの側面には複数の外部端子電極16が形成されると共に、内層には複数の接続電極17が形成されている。これらの外部端子電極16のそれぞれは、接続電極17を介してランド電極14、即ち半導体チップ12の端子電極に接続されている。これらの外部端子電極16は、絶縁基板11Aの長手方向両端面(1対の対向面)に垂直に交わる中心軸(図示せず)に対してほぼ回転対称であり、且つ前記1対の対向面間の中央に位置しこれらの対向面に平行な仮想面に対して面対称となる位置に形成されている。

【0037】また、封止樹脂15としては、絶縁基板11Aの線膨張係数とほぼ等しい線膨張係数を有するものを用いることが好ましい。このように線膨張係数のほぼ等しい封止樹脂15を用いることにより、半導体チップ12を絶縁基板11Aに固着し、半導体チップ12の端子電極間を絶縁するだけでなく、ヒートサイクル試験などの温度変化によってこれらの間に発生する応力を緩和し、絶縁基板11Aからの封止樹脂15の剥離を防止することができる。

【0038】これにより、半導体チップ12と絶縁基板11Aとの間の電気的接続不良の発生及び耐湿性の低下を防止できると共に、上記剥離によって半導体チップ12へ与えるダメージを大幅に低減することができ、信頼性が向上される。

【0039】また、耐湿性の高いシリコン系樹脂を封止

樹脂15として用いれば、凹部13への水分の浸透防止を強固なものとでき、水分浸透による半導体チップ12の端子電極間の短絡を確実に防止することができ、耐湿性及び信頼性をさらに向上させることができる。

【0040】一方、半導体チップ12の端子電極とランド電極14との接続は、半田付けしても良いし、導電性樹脂を用いた接続、異方導電性樹脂(ACF)を用いた接続、或いはランド電極14上に金(Au)を用いたボールバンプを形成し超音波併用熱圧着する等して行っても良い。

【0041】上記導電性樹脂を用いた接続では、安価であり、導電性樹脂によって応力を吸収できるため高信頼性が得られるという効果があり、さらに、導電性樹脂を通しての放熱効果が期待できる。さらに、異方導電性樹脂を用いれば、ランド電極14間を絶縁する封止樹脂が不要となり、コストの低減を図ることができる。

【0042】また、上記ランド電極14上にボールバンプを形成し超音波併用熱圧着する方法によれば、ドライプロセスであるためメッキ液による半導体チップ12へのダメージが少なく、設備コストを低減できると共に、絶縁基板11Aへの半導体チップ12の実装作業時間を短縮でき、実装コストを低減することができる。さらに、Au-Au接合なので接触抵抗が少なく高信頼性を得ることができる。

【0043】また、上記半田を用いた方法では、セルフアラインメントにより位置補正されるため、実装精度を必要としない。また、実装時に低荷重で実装できるため半導体チップ12へのダメージが少なく、さらに、半田バンプにより応力を吸収できるため高信頼性を得られる。

【0044】前述の構成よりなる半導体パッケージ10Aによれば、親回路基板に実装する際には、例えば本出願人が提案している部品供給装置及び空気吸入により吸着する部品実装機等を用いて自動的に部品実装を行うことができる。

【0045】また、図4に示すように、親回路基板20の表面に形成されているランド電極21に半導体パッケージ10Aの外部端子電極16が対応するように、親回路基板20の表面に対して半導体パッケージ10Aの主面11aを当接し、親回路基板20のランド電極21に半導体パッケージ10Aの外部端子電極16を半田22などを用いて接続する。

【0046】このように、上記半導体パッケージ10Aには、従来例のようなリードピンを設けてないので、リードピンの部材費及び装着にかかる費用等のコストの低減化を図ることができる。

【0047】さらに、従来例におけるリードピンが突出していた分の実装面積を削減することができるため、1個当たりの実装面積を縮小することができ、電子回路の実装密度の向上及び電子回路装置の小型化を図ることが

できる。

(第2の実施形態)次に、本発明の第2の実施形態を説明する。

【0048】図5は、第2の実施形態における半導体パッケージを示す外観斜視図で、図1と同様に図5の(a)は斜め上方から見た斜視図であり、図5の(b)は斜め下方から見た斜視図である。また、図6はその側面断面図である。ここで、第2の実施形態は、本願発明の請求項1, 2, 3, 6及び請求項8乃至11に対応している。

【0049】図5及び図6において、前述した第1の実施形態と同一構成部分は同一符号をもって表しその説明を省略する。また、第1の実施形態と第2の実施形態との相違点は、絶縁基板11Aの主面11aと対向する上面11bに抵抗膜31を形成したことにある。

【0050】第2の実施形態の半導体パッケージ10Bは、絶縁基板11Aの主面11aと対向する面、即ち図示における絶縁基板11Aの上面11bにはランド電極32a, 32bが形成され、このランド電極32a, 32bを両端に接続した抵抗膜31が形成され、これらのランド電極32a, 32bは、ビアホール及び接続電極17を介して半導体チップ12の端子電極或いは外部端子電極16に接続されている。

【0051】抵抗膜31は、例えば酸化ルテニウム、 SiO_2 、 ZnO 、 Ta_2N 等の金属粉を主成分とする抵抗ペーストをスクリーン印刷により塗布した後に焼き付けて形成したものである。尚、抵抗膜31は、スクリーン印刷して形成する他に、シート状の抵抗シートを絶縁基板11Aに圧着させても貼付しても良い。

【0052】前述のように絶縁基板11Aの上面11bに抵抗膜31を形成することにより、抵抗膜31による半導体パッケージ10Bの機能向上を図ることができる。

【0053】さらに、パッケージを親回路基板20に実装する際に、上記抵抗膜31によって空気摩擦抵抗が大きくなり、部品搭載機の空気吸引による吸着が行いやすくなる。また、抵抗膜31の抵抗値を微小調整するためのトリミングを行いやすい。

(第3の実施形態)次に、本発明の第3の実施形態を説明する。

【0054】図7は第3の実施形態の半導体パッケージを示す外観斜視図で、図1と同様に図7の(a)は斜め上方から見た斜視図であり、図7の(b)は斜め下方から見た斜視図である。図8は側面断面図、図9はその半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図である。また、半導体パッケージの側面断面図は前述した第1の実施形態と同様である。ここで、第3の実施形態は、本願発明の請求項1, 2, 3, 6, 8, 10及び11に対応している。

【0055】図7乃至図9において、前述した第1の実

施形態と同一構成部分は同一符号をもって表し、その説明を省略する。また、第1の実施形態と第3の実施形態との相違点は、第3の実施形態における半導体パッケージ10CではダイオードD1を1個だけ含む半導体チップ12Cを備えると共に、回転或いは向きを反転させて親回路基板上に実装可能なように、半導体チップ12Cの各端子に接続された外部端子電極16a~16dを、絶縁基板11Aの長さ方向に延びる中心軸に対してほぼ回転対称であり且つ絶縁基板11Aの長さ方向の中心に対して対称となる位置に形成したことにある。

【0056】即ち、半導体チップ12Cの各端子と外部端子電極16a~16dとを接続する接続電極は、絶縁基板11Aの両端面に形成された外部端子電極16a、16bのそれぞれとダイオードD1のアノードが接続され、絶縁基板11Aの側面に形成された外部端子電極16c、16dのそれぞれとダイオードD1のカソードが接続されるように形成されている。

【0057】上記の構成よりなる半導体パッケージ10Cによれば、親回路基板の平面内で半導体パッケージ10Cを180度回転させて絶縁基板11Aの長手方向の端面の位置を入れ換えて実装しても、或いは上下面を反転させて実装しても、親回路基板の任意のランド電極には、常に半導体チップの同一端子に接続された外部端子電極を接続することができる。

【0058】これにより、自動実装機を用いて半導体パッケージ10Cの基板実装を行うことができ、回路基板や電子機器の製造コストを低下させることができる。

【0059】また、上記半導体パッケージ10Cには、従来例のようなリードピンを設けてないので、リードピンの部材費及び装着にかかる費用等のコストの低減化を図ることができる。

【0060】さらに、従来例におけるリードピンが突出していた分の実装面積を削減することができるため、1個当たりの実装面積を縮小することができ、電子回路の実装密度の向上及び電子回路装置の小型化を図ることができる。

(第4の実施形態) 次に、本発明の第4の実施形態を説明する。

【0061】図10は第4の実施形態の半導体パッケージを示す外観斜視図で、図10の(a)は斜め上方から見た斜視図であり、図10の(b)は斜め下方から見た斜視図である。図11は側面断面図、図12は半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図である。ここで、第4の実施形態は、本願発明の請求項1、2、3、4、7、8、10及び11に対応している。

【0062】図10乃至図12において、前述した第1の実施形態と同一構成部分は同一符号をもって表し、その説明を省略する。また、第1の実施形態と第4の実施形態との相違点は、第4の実施形態では半導体パッケー

ジ10Dを構成する絶縁基板11Dを正四角柱形状の直方体とすると共に同種の2つのダイオードD1、D2を含む半導体チップ12Dを備え、回転或いは向きを反転させて親回路基板上に実装可能なように、半導体チップ12Dの各端子に接続された外部端子電極18a~18dを、4つの側面に形成すると共に、絶縁基板11Dの長さ方向に延びる中心軸に対してほぼ回転対称であり且つ絶縁基板11Dの長さ方向の中心に対して対称となる位置に形成したことにある。

【0063】即ち、絶縁基板11Dは、長手方向両端面が正方形をなす直方体形状のアルミナを主体とした多層構造のセラミック絶縁基板からなり、一の側面11cには、半導体部チップ12Dを搭載するための凹部13が形成されている。

【0064】凹部13は、その中に実装される半導体チップ12Dの形状に合わせて、その縦横厚み寸法よりやや大きく形成される。さらに、この凹部13の底面には、半導体チップ12Dの端子電極を接続するランド電極14が形成されており、半導体チップ12Dの端子電極は凹部13の底面に形成されたランド電極14に接続され、隣り合うランド電極14間及び凹部13内部全体には絶縁性の封止樹脂15が充填されている。この状態で、半導体チップ12Dの裏面は、絶縁基板11Dの側面11cよりも凹部13の内部に位置した状態となる。

【0065】さらに、絶縁基板11Dの4つの側面には複数の外部端子電極18a~18dが形成されると共に、内層には複数の接続電極17が形成されている。これらの外部端子電極18のそれぞれは、接続電極17を介してランド電極14、即ち半導体チップ12Dの端子電極に接続されている。

【0066】半導体チップ12Dの各端子と外部端子電極18a~18dとを接続する接続電極17は、絶縁基板11Dの両端面に形成された外部端子電極18a、18bがダイオードD1、D2のアノードにそれぞれ接続され、絶縁基板11Dの側面の対向する位置に形成された外部端子電極18c、18dが共にダイオードD1、D2のカソードに接続されるように形成されている。

【0067】上記の構成よりなる半導体パッケージ10Dによれば、親回路基板の平面内で半導体パッケージ10Dを180度回転させて絶縁基板11Dの長手方向の端面の位置を入れ換えて実装しても、或いは何れの側面を親回路基板に対向させて実装しても、親回路基板の任意のランド電極には、常に同種の半導体素子の同じ端子に接続された外部端子電極を接続することができる。

【0068】これにより、自動実装機を用いて半導体パッケージ10Dの親回路基板への実装を行うことができ、回路基板や電子機器の製造コストを低下させることができる。

【0069】また、上記半導体パッケージ10Dには、従来例のようなリードピンを設けてないので、リードピ

ンの部材費及び装着にかかる費用等のコストの低減化を図ることができる。

【0070】さらに、従来例におけるリードピンが突出していた分の実装面積を削減することができるため、1個当たりの実装面積を縮小することができ、電子回路の実装密度の向上及び電子回路装置の小型化を図ることができる。

(第5の実施形態) 次に、本発明の第5の実施形態を説明する。

【0071】図13は第5の実施形態の半導体パッケージを示す外観斜視図で、図13の(a)は斜め上方から見た斜視図であり、図13の(b)は斜め下方から見た斜視図である。図14は側面断面図、図15は半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図である。ここで、第5の実施形態は、本願発明の請求項1、3、5、7、8、10及び11に対応している。

【0072】図13乃至図15において、前述した第4の実施形態と同一構成部分は同一符号をもって表し、その説明を省略する。また、第4の実施形態と第5の実施形態との相違点は、第5の実施形態では同種のダイオードD1、D2をそれぞれ1個含む2つの半導体チップ12E1、12E2を備え、回転或いは向きを反転させて親回路基板上に実装可能なように、半導体チップ12E1、12E2の各端子に接続された外部端子電極18a~18fを、絶縁基板11Eの長さ方向に延びる中心軸に対してほぼ回転対称であり且つ絶縁基板11Eの長さ方向の中心に対して対称となる位置に形成したことにある。

【0073】即ち、絶縁基板11Eは、長手方向両端面が正方形をなす直方体形状のアルミナを主体とした多層構造のセラミック絶縁基板からなり、一の側面11cには、半導体部チップ12E1、12E2を搭載するための凹部13が形成されている。

【0074】凹部13は、その中に実装される半導体チップ12E1、12E2の形状に合わせて、その縦横厚み寸法よりやや大きく形成される。さらに、この凹部13の底面には、半導体チップ12E1、12E2の端子電極を接続するランド電極14が形成されており、半導体チップ12E1、12E2の端子電極は凹部13の底面に形成されたランド電極14に接続され、隣り合うランド電極14間及び凹部13内部全体には絶縁性の封止樹脂15が充填されている。この状態で、半導体チップ12E1、12E2の裏面は、絶縁基板11Eの側面11cよりも凹部13の内部に位置した状態となる。

【0075】さらに、絶縁基板11Eの4つの側面には複数の外部端子電極18a~18fが形成されると共に、内層には複数の接続電極17が形成されている。これらの外部端子電極18のそれぞれは、接続電極17を介してランド電極14、即ち半導体チップ12E1、12E2の端子電極に接続されている。

【0076】半導体チップ12E1、12E2の各端子と外部端子電極18a~18dとを接続する接続電極17は、絶縁基板11Eの一方の端部に形成された外部端子電極18aがダイオードD1のアノードに、他方の端部に形成された外部端子電極18bがダイオードD2のアノードにそれぞれ接続され、絶縁基板11Eの側面の対向する位置に形成された外部端子電極18c、18dが共にダイオードD1のカソードに接続され、絶縁基板11Eの側面の対向する位置に形成された外部端子電極18e、18fが共にダイオードD2のカソードに接続されるように形成されている。

【0077】上記の構成よりなる半導体パッケージ10Eによれば、親回路基板の平面内で半導体パッケージ10Eを180度回転させて絶縁基板11Eの長手方向の端面の位置を入れ換えて実装しても、或いは何れの側面を親回路基板に対向させて実装しても、親回路基板の任意のランド電極には、常に同種の半導体素子の同じ端子に接続された外部端子電極を接続することができる。

【0078】これにより、自動実装機を用いて半導体パッケージ10Eの親回路基板への実装を行うことができ、回路基板や電子機器の製造コストを低下させることができる。

【0079】また、上記半導体パッケージ10Eには、従来例のようなリードピンを設けてないので、リードピンの部材費及び装着にかかる費用等のコストの低減化を図ることができる。

【0080】さらに、従来例におけるリードピンが突出していた分の実装面積を削減することができるため、1個当たりの実装面積を縮小することができ、電子回路の実装密度の向上及び電子回路装置の小型化を図ることができる。

(第6の実施形態) 次に、本発明の第6の実施形態を説明する。

【0081】図16は第6の実施形態の半導体パッケージを示す外観斜視図で、図16の(a)は斜め上方から見た斜視図であり、図16の(b)は斜め下方から見た斜視図である。図17は側面断面図、図18は半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図である。ここで、第6の実施形態は、本願発明の請求項1、3、4、7、8、10及び11に対応している。

【0082】図16乃至図18において、前述した第4の実施形態と同一構成部分は同一符号をもって表し、その説明を省略する。また、第4の実施形態と第6の実施形態との相違点は、第6の実施形態では同種の2つのトランジスタTr1、Tr2を含む半導体チップ12Fを備え、回転或いは向きを反転させて親回路基板上に実装可能なように、半導体チップ12Fの各端子に接続された外部端子電極18a~18hを、絶縁基板11Fの長さ方向に延びる中心軸に対してほぼ回転対称であり且つ

絶縁基板 11F の長さ方向の中心に対して対称となる位置に形成したことにある。

【0083】即ち、絶縁基板 11F は、長手方向両端面が正方形をなす直方体形状のアルミナを主体とした多層構造のセラミック絶縁基板からなり、一の側面 11c には、半導体チップ 12F を搭載するための凹部 13 が形成されている。

【0084】凹部 13 は、その中に実装される半導体チップ 12F の形状に合わせて、その縦横厚み寸法よりやや大きく形成される。さらに、この凹部 13 の底面には、半導体チップ 12F の端子電極を接続するランド電極 14 が形成されており、半導体チップ 12F の端子電極は凹部 13 の底面に形成されたランド電極 14 に接続され、隣り合うランド電極 14 間及び凹部 13 内部全体には絶縁性の封止樹脂 15 が充填されている。この状態で、半導体チップ 12F の裏面は、絶縁基板 11F の側面 11c よりも凹部 13 の内部に位置した状態となる。

【0085】さらに、絶縁基板 11F の 4 つの側面には複数の外部端子電極 18a~18h が形成されると共に、内層には複数の接続電極 17 が形成されている。これらの外部端子電極 18 のそれぞれは、接続電極 17 を介してランド電極 14、即ち半導体チップ 12F の端子電極に接続されている。

【0086】半導体チップ 12F の各端子と外部端子電極 18a~18h とを接続する接続電極 17 は、絶縁基板 11F の一方の端部に形成された外部端子電極 18a がトランジスタ Tr1 のコレクタに、他方の端部に形成された外部端子電極 18b がトランジスタ Tr2 のコレクタにそれぞれ接続され、絶縁基板 11F の側面の対向する位置に形成された外部端子電極 18c、18d が共にトランジスタ Tr1 のベースに、外部端子電極 18e、18f が共にトランジスタ Tr1 及び Tr2 のエミッタに、また外部端子電極 18g、18h が共にトランジスタ Tr2 のベースにそれぞれ接続されるように形成されている。

【0087】上記の構成よりなる半導体パッケージ 10F によれば、親回路基板の平面内で半導体パッケージ 10F を 180 度回転させて絶縁基板 11F の長手方向の端面の位置を入れ換えて実装しても、或いは何れの側面を親回路基板に対向させて実装しても、親回路基板の任意のランド電極には、常に同種の半導体素子の同じ端子に接続された外部端子電極を接続することができる。

【0088】これにより、自動実装機を用いて半導体パッケージ 10F の基板実装を行うことができ、回路基板や電子機器の製造コストを低下させることができる。

【0089】また、上記半導体パッケージ 10F には、従来例のようなリードピンを設けてないで、リードピンの部材費及び装着にかかる費用等のコストの低減化を図ることができる。

【0090】さらに、従来例におけるリードピンが突出

していた分の実装面積を削減することができるため、1 個当たりの実装面積を縮小することができ、電子回路の実装密度の向上及び電子回路装置の小型化を図ることができる。

(第 7 の実施形態) 次に、本発明の第 7 の実施形態を説明する。

【0091】図 19 は第 7 の実施形態の半導体パッケージを示す外觀斜視図で、図 19 の (a) は斜め上方から見た斜視図であり、図 19 の (b) は斜め下方から見た斜視図である。図 20 は側面断面図、図 21 は半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図である。ここで、第 7 の実施形態は、本願発明の請求項 1、3、5、7、8、10 及び 11 に対応している。

【0092】図 19 乃至図 21 において、前述した第 5 の実施形態と同一構成部分は同一符号をもって表し、その説明を省略する。また、第 5 の実施形態と第 7 の実施形態との相違点は、第 7 の実施形態では同種のトランジスタ Tr1、Tr2 をそれぞれ 1 個含む 2 つの半導体チップ 12G1、12G2 を備え、回転或いは向きを反転させて親回路基板上に実装可能なように、半導体チップ 12G1、12G2 の各端子に接続された外部端子電極 18a~18j を、絶縁基板 11G の長さ方向に延びる中心軸に対してほぼ回転対称であり且つ絶縁基板 11G の長さ方向の中心に対して対称となる位置に形成したことにある。

【0093】即ち、絶縁基板 11G は、長手方向両端面が正方形をなす直方体形状のアルミナを主体とした多層構造のセラミック絶縁基板からなり、一の側面 11c には、半導体チップ 12G1、12G2 を搭載するための凹部 13 が形成されている。

【0094】凹部 13 は、その中に実装される半導体チップ 12G1、12G2 の形状に合わせて、その縦横厚み寸法よりやや大きく形成される。さらに、この凹部 13 の底面には、半導体チップ 12G1、12G2 の端子電極を接続するランド電極 14 が形成されており、半導体チップ 12G1、12G2 の端子電極は凹部 13 の底面に形成されたランド電極 14 に接続され、隣り合うランド電極 14 間及び凹部 13 内部全体には絶縁性の封止樹脂 15 が充填されている。この状態で、半導体チップ 12G1、12G2 の裏面は、絶縁基板 11G の側面 11c よりも凹部 13 の内部に位置した状態となる。

【0095】さらに、絶縁基板 11G の 4 つの側面には複数の外部端子電極 18a~18j が形成されると共に、内層には複数の接続電極 17 が形成されている。これらの外部端子電極 18 のそれぞれは、接続電極 17 を介してランド電極 14、即ち半導体チップ 12G1、12G2 の端子電極に接続されている。

【0096】半導体チップ 12G1、12G2 の各端子と外部端子電極 18a~18j とを接続する接続電極 17

は、絶縁基板11Gの一方の端部に形成された外部端子電極18aがトランジスタTr1のコレクタに、他方の端部に形成された外部端子電極18bがトランジスタTr2のコレクタにそれぞれ接続され、絶縁基板11Gの側面の対向する位置に形成された外部端子電極18c、18dが共にトランジスタTr1のベースに接続され、外部端子電極18e、18fが共にトランジスタTr1のエミッタに接続され、また外部端子電極18g、18hが共にトランジスタTr2のベースに接続され、外部端子電極18i、18jが共にトランジスタTr2のエミッタに接続されるように形成されている。

【0097】上記の構成よりなる半導体パッケージ10Gによれば、親回路基板の平面内で半導体パッケージ10Gを180度回転させて絶縁基板11Gの長手方向の端面の位置を入れ換えて実装しても、或いは何れの側面を親回路基板に対向させて実装しても、親回路基板の任意のランド電極には、常に同種の半導体素子の同じ端子に接続された外部端子電極を接続することができる。

【0098】これにより、自動実装機を用いて半導体パッケージ10Gの基板実装を行うことができ、回路基板や電子機器の製造コストを低下させることができる。

【0099】また、上記半導体パッケージ10Gには、従来例のようなリードピンを設けてないので、リードピンの部材費及び装着にかかる費用等のコストの低減化を図ることができる。

【0100】さらに、従来例におけるリードピンが突出していた分の実装面積を削減することができるため、1個当たりの実装面積を縮小することができ、電子回路の実装密度の向上及び電子回路装置の小型化を図ることができる。

【0101】尚、上記第1乃至第7の実施形態は本発明の一具体例であり、本発明がこれらに限定されることはない。例えば、上記実施形態では、絶縁基板11を多層構造としたが単層構造であってもリードピンを設けなければ実装面積の縮小化を図ることができる。

【0102】また、絶縁基板11の材質はセラミックに限定されることはなく、他の材料を用いても良い。

【0103】また、同一半導体パッケージ内に複数種の半導体素子を含む半導体チップを設けることも可能である。

【0104】

【発明の効果】以上説明したように本発明の請求項1によれば、半導体パッケージを親回路基板に実装する際に、該親回路基板の表面に形成されているランド電極に前記半導体パッケージの外部端子電極を半田付けなどによって接続できるため、従来のようなリードピンが不要になり、コストの低減化を図ることができる。さらに、従来例におけるリードピンが突出していた分の実装面積を削減することができるため、1個当たりの実装面積を縮小することができ、電子回路の実装密度の向上及び電

子回路装置の小型化を図ることができる。

【0105】また、請求項2乃至7によれば、上記の効果に加えて、親回路基板の任意のランド電極には常に半導体チップの同一端子に接続された外部端子電極を接続することができるので、自動実装機を用いて半導体パッケージの親回路基板への実装を行うことができ、回路基板や電子機器の製造コストを低下させることができる。

【0106】また、請求項8によれば、上記の効果に加えて、多層構造の絶縁基板の内層に前記接続電極が形成されているため、前記接続電極の高密度配置が可能になり、さらに小型化することができる。

【0107】また、請求項9によれば、上記の効果に加えて、前記凹部が形成された一面に対向する平面に前記半導体チップの端子電極或いは前記外部端子電極に接続された電気的抵抗体が形成されているので、該抵抗体による機能向上を図ることができる。さらに、パッケージを親回路基板に実装する際に、部品搭載機の空気吸引による吸着が行いやすくなる。また、前記抵抗体の抵抗値を微小調整するためのトリミングを行いやすい。

【0108】また、請求項10によれば、上記の効果に加えて、前記半導体チップが実装された凹部内に絶縁体が充填されているため、外部から前記凹部内への湿気等の進入が阻止されるので、信頼性を向上させることができる。

【0109】また、請求項11によれば、上記の効果に加えて、前記絶縁基板がセラミックスによって構成されるため、製造時の微細加工が容易になりさらに小型化を図ることができると共に小型化の際に安定した強度を得ることができ、信頼性をさらに向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における半導体パッケージを示す外観斜視図

【図2】従来例の半導体パッケージを示す側面断面図

【図3】本発明の第1の実施形態における半導体パッケージを示す側面断面図

【図4】本発明の第1の実施形態における半導体パッケージの実装状態を説明する図

【図5】本発明の第2の実施形態における半導体パッケージを示す外観斜視図

【図6】本発明の第2の実施形態における半導体パッケージを示す側面断面図

【図7】本発明の第3の実施形態における半導体パッケージを示す外観斜視図

【図8】本発明の第3の実施形態における半導体パッケージを示す側面断面図

【図9】本発明の第3の実施形態における半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図

【図10】本発明の第4の実施形態における半導体パッ

ケースを示す外観斜視図

【図11】本発明の第4の実施形態における半導体パッケージを示す側面断面図

【図12】本発明の第4の実施形態における半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図

【図13】本発明の第5の実施形態における半導体パッケージを示す外観斜視図

【図14】本発明の第4の実施形態における半導体パッケージを示す側面断面図

【図15】本発明の第5の実施形態における半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図

【図16】本発明の第6の実施形態における半導体パッケージを示す外観斜視図

【図17】本発明の第6の実施形態における半導体パッケージを示す側面断面図

【図18】本発明の第6の実施形態における半導体チップ

ブ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図

【図19】本発明の第7の実施形態における半導体パッケージを示す外観斜視図

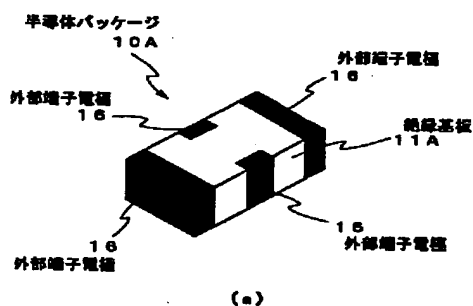
【図20】本発明の第7の実施形態における半導体パッケージを示す側面断面図

【図21】本発明の第7の実施形態における半導体チップ内に含まれる半導体素子の端子と外部端子電極との接続を説明する図

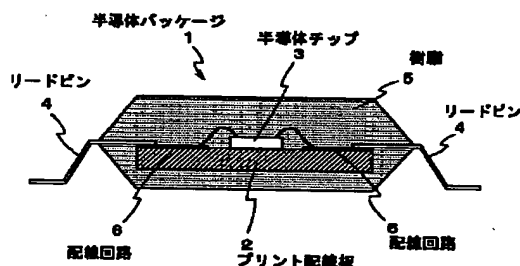
【符号の説明】

10A~10G...半導体パッケージ、11...絶縁基板、11a...主面、11b...上面、11c...側面、12、12A、12C、12D、12E1、12E2、12F、12G1、12G2...半導体チップ、13...凹部、14...ランド電極、15...封止樹脂、16、16a~16d...外部端子電極、17...接続電極、18a~18j...外部端子電極、20...親回路基板、21...ランド電極、22...半田、31...抵抗膜、32a、32b...ランド電極。

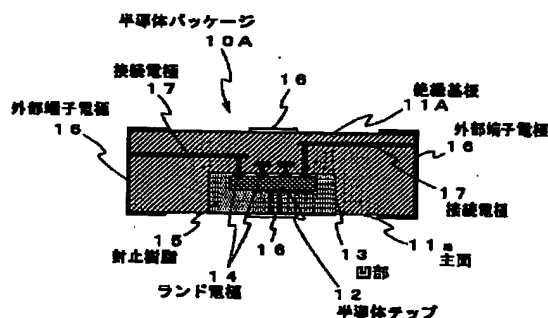
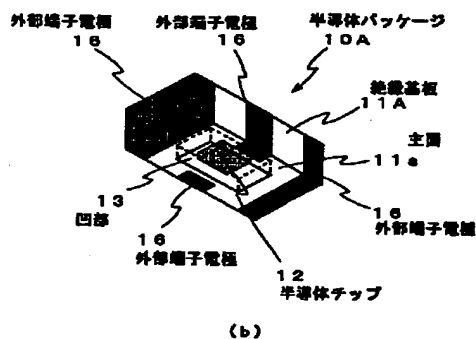
【図1】



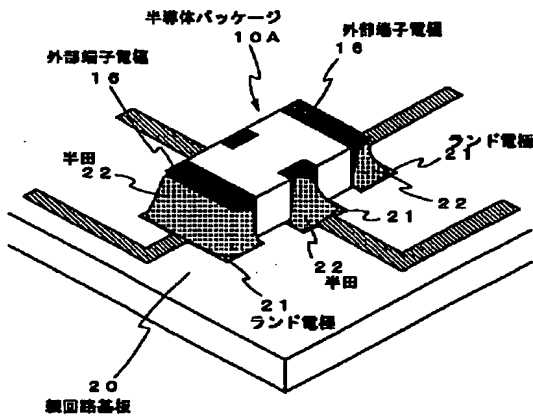
【図2】



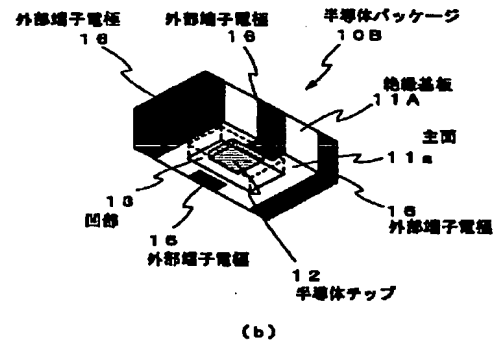
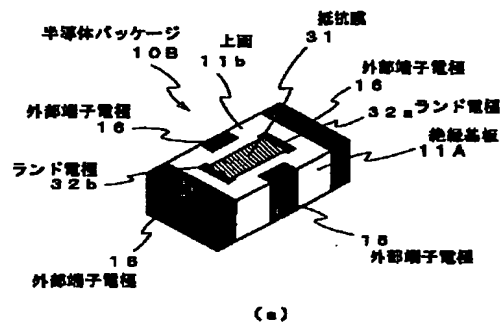
【図3】



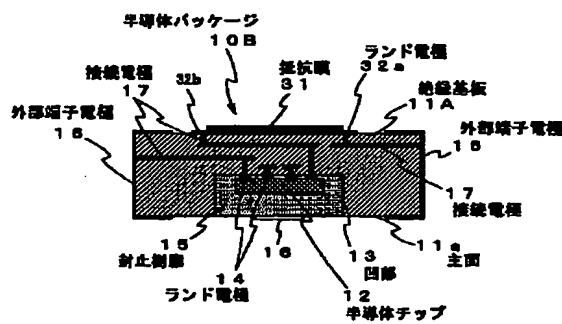
【図4】



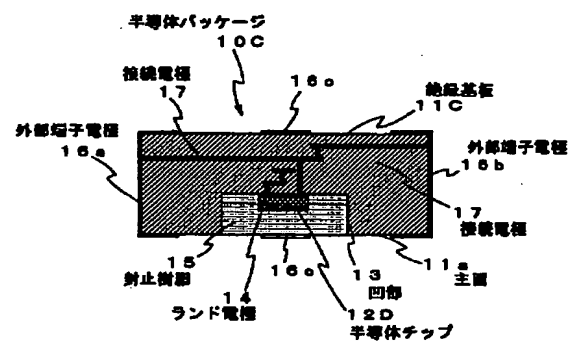
【図5】



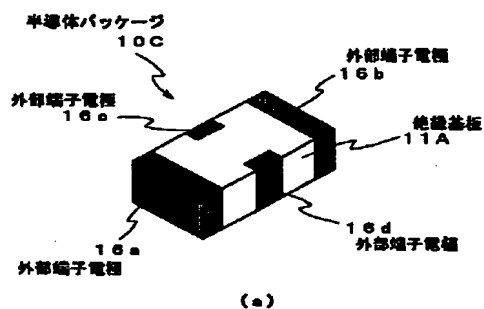
【図6】



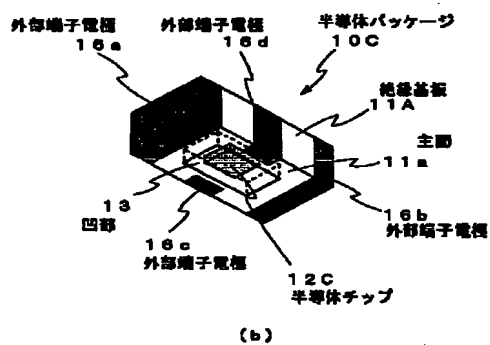
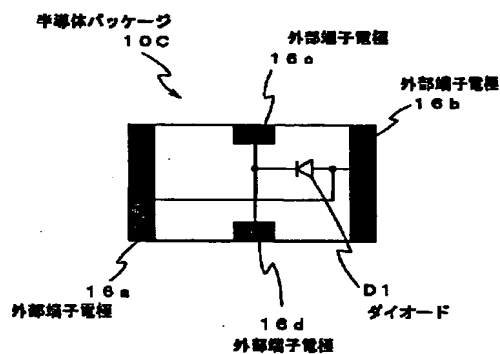
【図8】



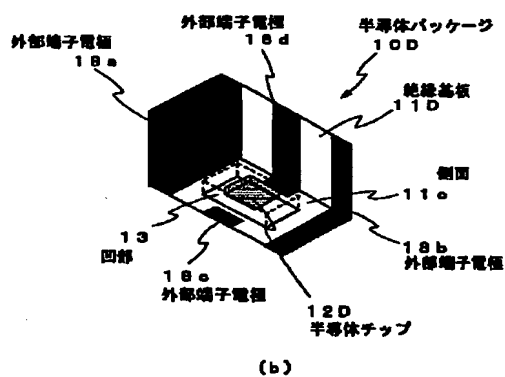
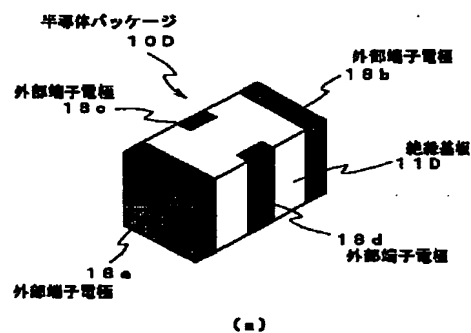
【図7】



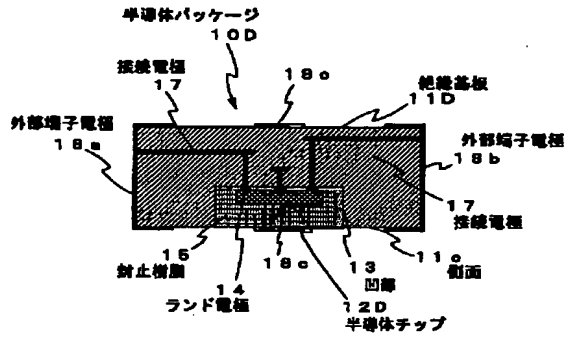
【図9】



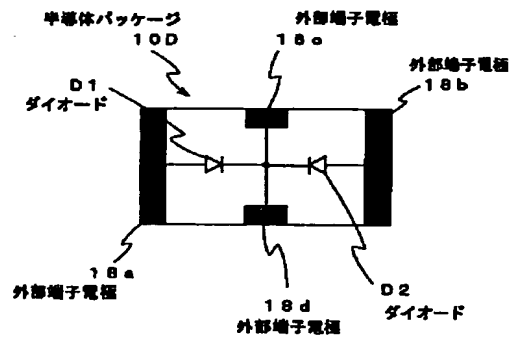
【図10】



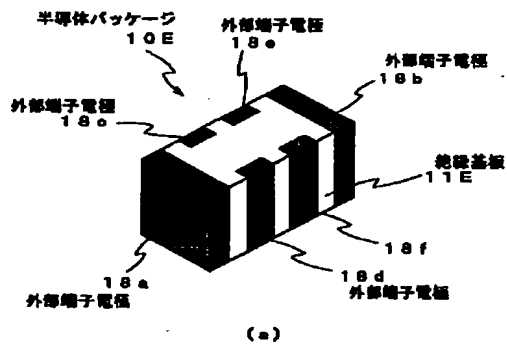
【図11】



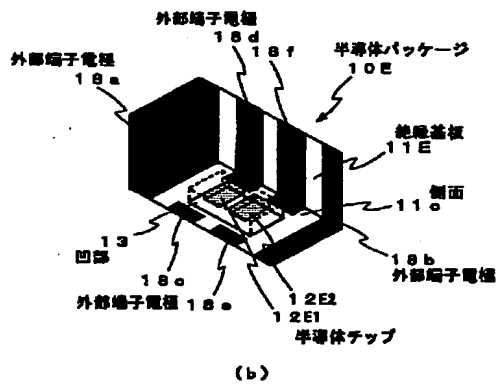
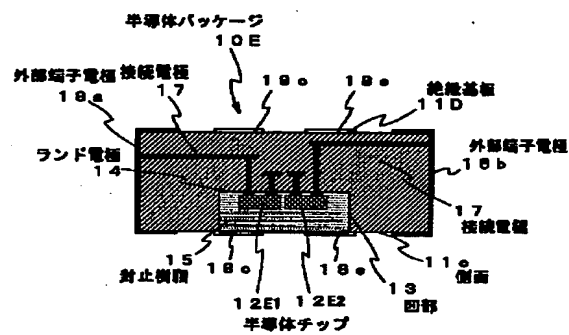
【図12】



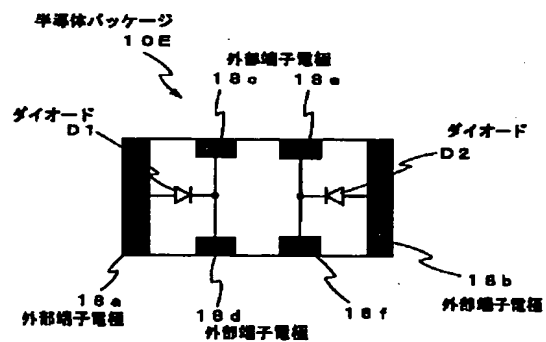
【図13】



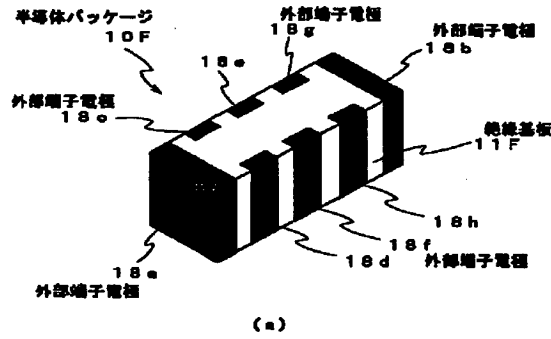
【図14】



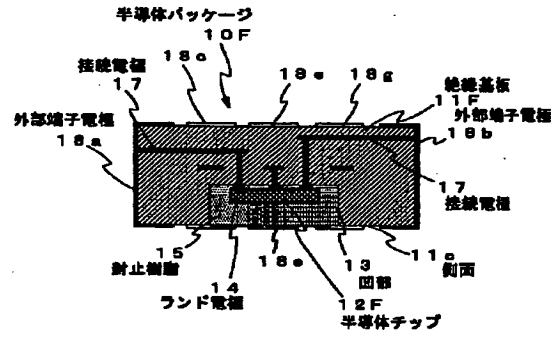
【図15】



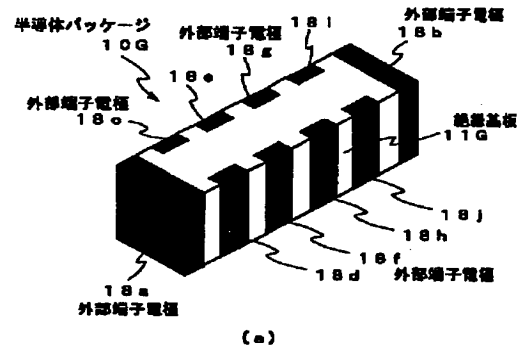
【図16】



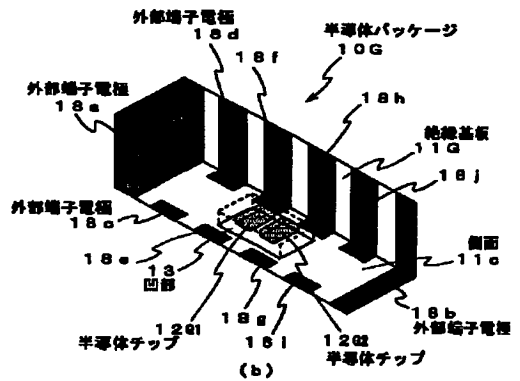
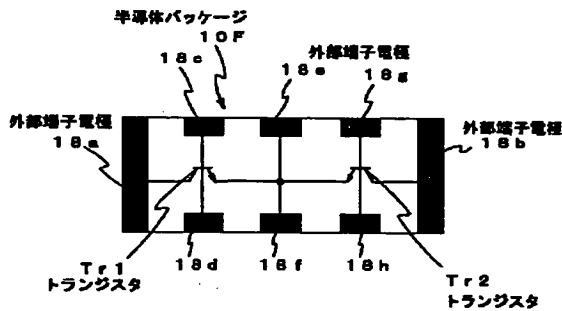
【図17】



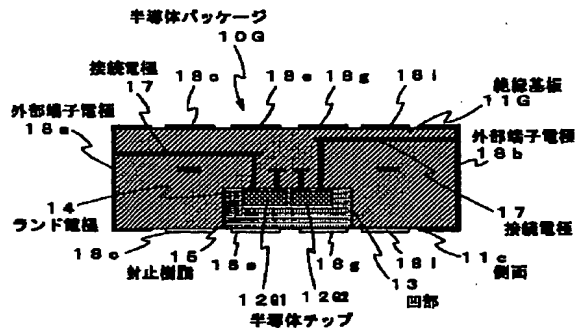
【図19】



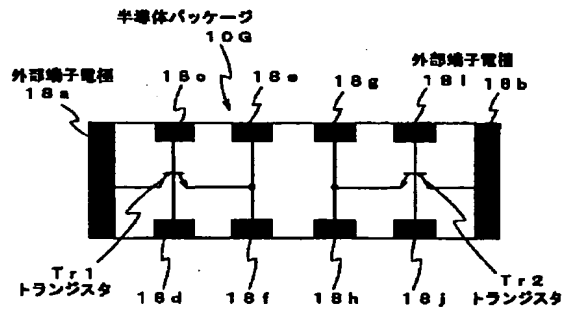
【図18】



【図20】



【図21】



THIS PAGE BLANK (USPTO)